

Développement d'une plateforme hétérogène flexible pour les System-On-Chip hybrides utilisant des unités de calcul programmable et des accélérateurs matériels.

HED/CPT/P2012, STMicroelectronics Grenoble

Directeur de thèse : Emmanuel Jeannot.

Description du projet.

Dans le but de satisfaire les contraintes PPA (Performance, Power, Area) imposées par le marché des applications embarquées, l'architecture SoC P2012 est composée d'un ensemble de groupes de calcul (clusters) où chaque groupe comprend une combinaison de processeurs programmables (unités de calcul logiciel) et d'accélérateurs matériels spécialisés (unités de calcul matériel) pour effectuer les tâches critiques réclamant le plus de performance. Le placement efficace d'applications complexes sur une telle architecture multi-cœurs hétérogène et hybride présente de multiples défis en terme de conception et d'architecture, mais aussi de développement logiciel.

L'objectif de cette thèse est de participer au développement de l'infrastructure logicielle et matérielle pour faciliter le développement de solutions embarquées haute performance sans pour autant être affecté par la complexité croissante de ces applications.

Le but principal de ce projet est de développer une infrastructure **programmable** et **flexible**. Un degré minimum de programmabilité est important car à l'avenir il ne sera plus possible de concevoir des SoC dédiés à une seule application. La flexibilité est un autre élément clé du P2012 : bien que formaliser le terme de flexibilité est un des objectifs de cette thèse, intuitivement une plateforme flexible devrait permettre de faire évoluer les implantations des algorithmes une fois que la conception du matériel est gelée.

Du côté matériel, la plateforme cible devra inclure un chemin de données, composé d'unités de calcul logiciel et matériel, interconnectées à un processeur de contrôle programmable. Dans le but d'intégrer conjointement les éléments logiciels et matériels dans le contexte du calcul de flot (streaming), les unités de calcul logiciel seront équipées d'extensions pour le streaming. D'autre part, compte tenu du taux de contrôle du chemin de donnée, le processeur de contrôle sera aussi équipé de plusieurs cœurs. Des mécanismes pour contrôler le chemin de donnée et synchroniser les cœurs de contrôles eux-mêmes seront donc requis. Enfin, une hiérarchie mémoire efficace et des mécanismes de communication entre les unités logicielle où entre ces unités et la mémoire principale devront être définis et formalisés.

Du côté logiciel, l'objectif est de définir un modèle de programmation et de développer un support d'exécution supportant ce modèle qui soient à la fois simples et efficaces. Le modèle de programmation actuel (PEDF), est basé sur le paradigme de la programmation « dataflow » et a été adapté à l'architecture P2012. Cependant, le modèle PEDF n'est plus suffisant pour gérer les nouvelles architectures et les

applications émergentes. Comme alternative au modèle PEDF, ce projet devra se focaliser sur l'adaptation et l'évolution de modèles de programmation multithreadé et de leur support d'exécution.

Le projet a pour but de traiter les problèmes mentionnés ci-dessus. Les objectifs du travail seront :

- L'analyse des besoins des applications cibles (e.g. H26x). Formaliser la notion de flexibilité par rapport à une implantation hybride logicielle/matériel.
- Analyser et faire l'état de l'art des modèles de programmation à base de threads et des outils. Comprendre les implications en termes de modèle de programmation et d'outils impliqués par les besoins des nouvelles applications. Définir des stratégies pour paralléliser la partie contrôle des applications cibles sur les cœurs du processeur de contrôle.
- Proposer un modèle de programmation basé sur cette analyse en coordination avec l'équipe STMicroelectronics d'Ottawa. Spécifier les outils qui supporteront ce nouveau modèle de programmation.
- Développer un support d'exécution et des mécanismes de synchronisation matériel pour le P2012 qui supporteront efficacement le modèle de programmation proposé. Les points d'intérêts particuliers seront l'ordonnanceur, la synchronisation, les techniques pour favoriser la localité durant le placement des calculs, les interactions entre le logiciel et le matériel.
- L'étude et l'analyse de solutions pour gérer le compromis entre l'efficacité énergétique et la performance de l'application en mettant au point des techniques d'ordonnancement dans le support d'exécution et en intégrant la gestion de l'énergie à tous les niveaux de la pile logicielle.
- Contribuer au développement et à l'évaluation de mécanismes matériels utilisés pour contrôler le chemin des données hybride (matériel et logiciel).
- Contribuer au développement et à l'évaluation d'une extension du streaming utilisé pour l'intégration des unités de calculs logiciel dans le chemin de donnée hybride.
- Définir et formaliser la hiérarchie mémoire du P2012 dans l'objectif de supporter efficacement le modèle de programmation avec une focalisation sur : le mouvement des données entre les clusters et la mémoire ; l'utilisation de buffer et de lignes à retard ; l'utilisation des caches quand la localité des accès est présente.
- Prototyper une telle architecture et la solution logicielle en utilisant la plateforme de simulation SystemC TLM et conduire une évaluation expérimentale.

Plus précisément, la thèse se concentrera sur les aspects suivants. Après une étude et une analyse en profondeur des modèles de programmation à base de threads et des outils d'une part et des applications embarquées d'autre part, l'étudiant se focalisera sur le développement de l'architecture et des fonctionnalités du support d'exécution nécessaire pour supporter le modèle de programmation et les besoins en gestion de l'énergie. Il/elle adressera aussi les aspects de la hiérarchie mémoire pour l'architecture de ce SoC.

Enfin, il faut bien noter que les objectifs de ce projet sont fortement couplés aux choix des futures applications que STMicroelectronics vise. Souvent, les futures

applications ne sont pas totalement disponibles. Ce travail devra donc se baser sur les applications existantes en extrapolant leur besoin et leurs potentielles évolutions.

Les retombées attendues de ce projet ont une importance majeure sur les « roadmap » produits de STMicroelectronics.

Short Bibliographie.

1. J.Hennesy, D.Patterson « Computer Architecture : a quantitative approach », Morgan Kaufmann, 2007
2. ITU-T Recommendation H.264: Advanced video coding for generic audiovisual services 2005
3. The STxP70 Architecture and Instruction Set Reference Guide
4. The Platform 2012 Documentation in ST Codex site